



(19)

(11) Publication number: 11186919 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09351434

(51) Intl. Cl.: H03M 13/12 G06F 11/10

(22) Application date: 19.12.97

(30) Priority:

(43) Date of application publication: 09.07.99

(84) Designated contracting states:

(71) Applicant: SONY CORP

(72) Inventor: HATTORI MASAYUKI
MIYAUCHI TOSHIYUKI

(74) Representative:

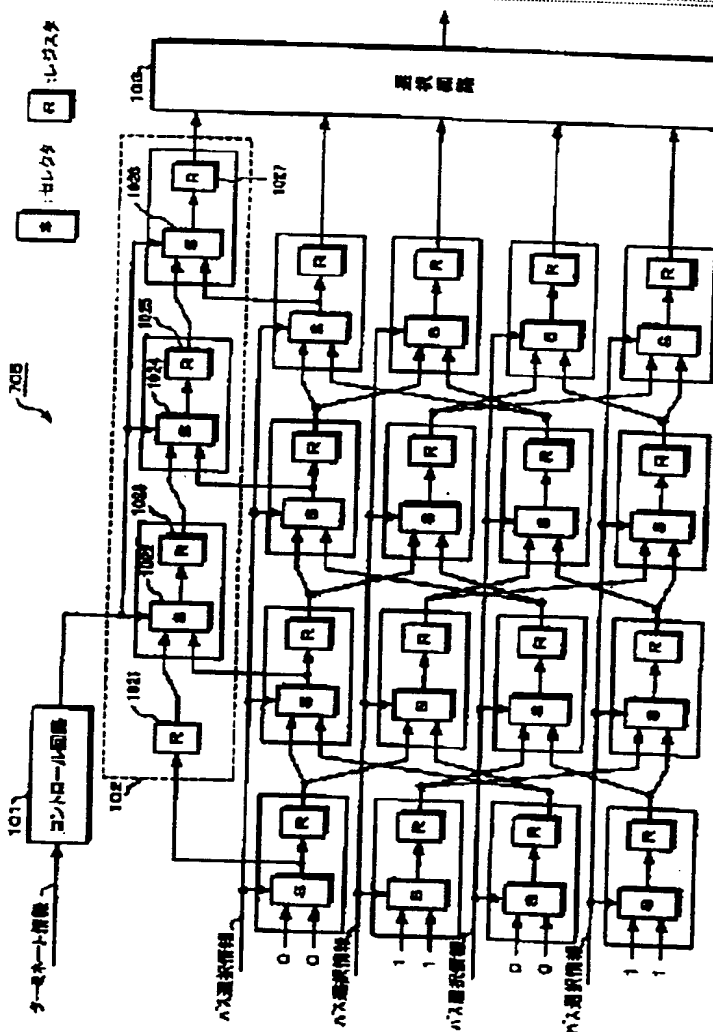
(54) VITERBI DECODER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a Viterbi decoder that applies tight maximum likelihood decoding even to a terminated convolution code.

SOLUTION: This decoder is provided with a register array 102 in addition to a memory cell array by a truncation length placed corresponding to each state, and an output of a selector of each stage in the register array corresponding to a state 00 is given to a register 1021, selectors 1022, 1024 and 1026 in the register array 102. Furthermore, an output of a pre-stage register is respectively given to these three selectors. The three selectors select an output to a post stage according to the control by a control circuit, when a received word is terminated or otherwise. Thus, when the received word is terminated, information stored in the register array 102 is shifted as it is. Through such an operation, a path reaching the state 00 is decoded.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186919

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl. ⁸	識別記号	F I
H 0 3 M 13/12		H 0 3 M 13/12
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10 3 3 0 N

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願平9-351434
(22) 出願日	平成9年(1997)12月19日

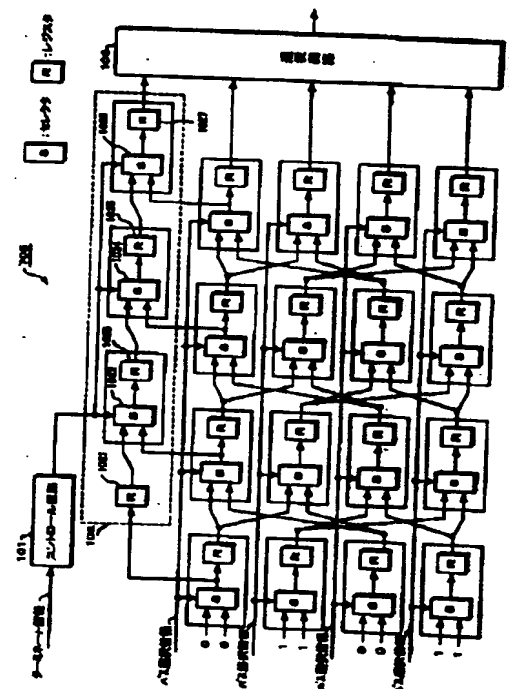
(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(72) 発明者	服部 雅之 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(72) 発明者	宮内 俊之 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(74) 代理人	弁理士 杉浦 正知

(54) 【発明の名称】 ビタビ復号装置

(57) 【要約】

【課題】 ターミネートされた量み込み符号に対しても厳密な最尤復号が可能なビタビ復号装置を提供する。

【解決手段】 各状態に対応して配置された打ち切り長分のメモリセルの列に加えて、レジスタ列102を備え、状態00に対応するレジスタ列内の各段のセクタの出力がそれぞれ、レジスタ列102内のレジスタ1021、およびセクタ1022、1024および1026に入力される。また、これら3個のセクタには、前段のレジスタの出力がそれぞれ入力される。そして、これら3個のセクタは、受信語がターミネートされた時とそれ以外の時とで、コントロール回路による制御に従って後段への出力を切り替える。これにより、受信語がターミネートされた時には、レジスタ列102内に記憶された情報がそのまま遷移させられる。このような動作により、ターミネートに状態00に到達するパスを復号することができる。



【特許請求の範囲】

【請求項1】 ターミネートされた畳み込み符号を連続して受信するビタビ復号装置において、ターミネートするステートに到達するバスを必ず復号するようになされたことを特徴とするビタビ復号装置。

【請求項2】 請求項1において、レジスタ遷移法を行うバスメモリに打ち切り長分のレジスタ列をさらに一列付加し、上記レジスタ列に、ターミネートするステートに対応する復号語を記憶しておき、ターミネート時には、レジスタ列に記憶した復号語を順に出力することを特徴とするビタビ復号装置。

【請求項3】 請求項1において、レジスタ遷移法を行うバスメモリに、ターミネートするステートに対応するレジスタ列内の各メモリセルの選択情報をコントロールするコントロール回路をさらに付加し、上記コントロール回路の動作によってターミネート時にはターミネートするステートに対応する復号語をそのまま出力することを特徴とするビタビ復号装置。

【請求項4】 請求項1において、トレースバック法を行うバスメモリを有し、打ち切り長をターミネート長の m/n (m, n は整数)となるように設定することにより、ターミネート時にはターミネートするステートからトレースを開始することを特徴とするビタビ復号装置。

【請求項5】 請求項1において、ターミネート時にはターミネートするステート以外のステートのステートメトリックを充分大きい値に設定することにより、ターミネートするステートを通過するバスを必ず復号するようにしたことを特徴とするビタビ復号装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば衛星放送等で使用される畳み込み符号の最尤復号法に使用されるビタビ復号装置に関する。

【0002】

【従来の技術】 畳み込み符号を復号する方式の一つとして、ビタビ復号方式が知られている。このビタビ復号方式は、畳み込み符号に対する最尤復号方式であり、送信側のエンコーダから生成され得る符号系列の中から、受信された符号系列に最も近い系列（以下、このような系列を最尤バスと表記する）を選ぶことにより、誤り訂正を行う。すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0003】 ビタビ復号方式を行うビタビ復号装置は、ブランチメトリック、すなわちトレリス上の各状態に達するバスと受信された符号系列とのハミング距離をロックに従って計算するブランチメトリック計算回路と、ブランチメトリックに基づいてステートメトリックを計算し、ステートメトリックの値を比較して最尤バスを選択するACS回路、ステートメトリックの値を正化する正規化回路、ステートメトリックの値を記憶するステートメトリック記憶回路、ACSによる選択結果に従って復号データを生成するバスメモリ回路を備える構成とされている。

【0004】 ここで、バスメモリ回路としては、レジスタ列を用いてバス選択内容を選択させるレジスタ遷移を行うものと、RAMを用いてバス選択内容を記憶させ、記憶内容をトレースして復号する方法を行うもの2種類がある。以下、これら2種類の方法について説

【0005】 従来のビタビ復号装置において使用されてきたレジスタ遷移法においては、バスメモリ回路内にレクタとレジスタからなるメモリセルをトレリス上に置き、ACS回路から出力されるバス選択情報に基づいてレジスタの内容を選択させる。そして、最終段のメモリセルの出力の内、最尤ステートの出力を選ぶことによって最尤バスに対する情報を選択し、復号データを出す。

【0006】 このようなレジスタ遷移法は、高速動作可能であるという利点がある反面、打ち切り長が長くなると回路規模が膨大になるという欠点がある。特に、近頃は、打ち切り長が100を超えるような用途も出たので、回路規模の大型化が深刻な問題となっている。

【0007】 そこで、近年では、RAM(Random Access Memory)を用いてバス情報を記憶し、記憶した情報をトレースすることで復号する方法が盛んに研究されている。以下、この方法をトレースバック法と呼ぶ。

【0008】 ところで、畳み込み符号の符号化を終結させる方法としてターミネートが知られている。ターミネートされた畳み込み符号をビタビ復号する場合には、レベル0のステートからバスを遡って復号することによって最尤バスを得ることができる。但し、従来から使用されているビタビ復号装置では、ターミネートされた畳み込み符号を連続して受信する場合に、通常の動作によって復号を行うことが多い。

【0009】

【発明が解決しようとする課題】 このような復号方法においては、ターミネートされた畳み込み符号に続いての畳み込み符号が連続して入力された時に、厳密な最尤復号ができず、復号誤りが生じるおそれがあるという問題がある。この問題は、ビタビ復号を行う際にターミネート区間を考慮しないことに起因するものであるから、上述したレジスタ遷移法およびトレースバック法の何

においても生じるものである。

【0010】この発明は、このような事情に鑑みて提案されたものであり、従ってこの発明の目的は、ターミネートされた畳み込み符号に対しても厳密な最尤復号が可能なビタビ復号装置を提供することにある。

【0011】

【課題を解決するための手段】請求項1の発明は、ターミネートされた畳み込み符号を連続して受信するビタビ復号装置において、ターミネートするステートに到達するバスを必ず復号するようになされたことを特徴とするビタビ復号装置である。

【0012】以上のような発明によれば、ターミネートするステートに到達するバスを必ず復号することができるので、ターミネートされた畳み込み符号に対する最尤復号をすることが可能となる。

【0013】

【発明の実施の形態】以下、図面を参照して、この発明の第1の実施形態について説明する。まず、図1を参照してこの発明の第1の実施形態の全体構成について説明する。この発明の第1の実施形態は、ブランチメトリック計算回路701、ACS回路702、正規化回路703、ステートメトリック記憶回路704、およびバスメモリ回路705を備える構成とされており、送信側から伝送路を介して受信されたデータが入力された時、送信側のエンコーダから生成され得る符号系列の中から最尤バスを選択し、選択内容に基づいて復号データを生成する。

【0014】すなわち、送信側のエンコーダによる符号化方法に基づいて作成される、例えば図2に示すような遷移ダイアグラム（以下、トレリスと表記する）を前提とし、遷移ダイアグラム上で生じ得る遷移の内から、例えば受信された符号系列とのハミング距離が最小となるものを最尤バスとして選択するようになされている。

【0015】ブランチメトリック計算回路701は、受信データ信号s701が入力されたとき、この受信データのブランチメトリックを計算して、計算結果をブランチメトリック信号s702として出力する。ACS回路702は、ブランチメトリック信号s702と、ステートメトリック記憶回路704から入力されるステートメトリック信号s705とに基づいて、あるステートに合流する2本のそれぞれのバスに対し、ブランチメトリックとステートメトリックとを加算してそれら加算値を比較し、比較結果に基づいて尤度の高いものを選択して、新ステートメトリックとする。

【0016】このような選択の内容をバス選択情報s706として出力し、最小のステートメトリックを持つステートの番号を最尤ステート信号s707として出力し、新たに得られたステートメトリックを新ステートメトリック信号s703として出力する。

【0017】ここで、バスの選択方法について、拘束長

=3の場合を例として説明する。図2のトレリスは、個のステート00、01、10、11を有し、拘束長3の場合のトレリスの一例である。ここで矢印は各タイムスロット毎に生じ得るバスを示しており、復号データ'0'に対応するバスを点線で示し、復号データ'1'に対応するバスを実線で示した。各タイムスロット毎にすべてのステートには合流する2本のバスが存在する。ここで、あるステートに合流する2本のそれぞれのバスに対し、受信信号とバスとのハミング距離（ブランチメトリック）と、それまでのブランチメトリックの累積和（ステートメトリック）とを加算して比較を行い、この比較結果に基づいて尤度の高いものが選択される。

【0018】正規化回路703は、ACS回路702から出力される新ステートメトリック信号s703から最小のステートメトリックを減算する方法等を用いて正規化し、予め設定されている範囲内の値にして、正規化ステートメトリック信号s704として出力する。ステートメトリック記憶回路704は、正規化回路703から出力される正規化ステートメトリック信号s704を記憶し、これをステートメトリック信号s705としてACS回路702に戻す。ステートメトリック記憶回路704の構成の一例を図3に示す。図2のトレリスにおける4個のステートに対応して4個のレジスタを有するものとされている。図3においてはこれら4個のレジスタを5ビットのレジスタとしたが、他のビット数のレジスタを用いても良い。

【0019】次に、この発明の第1の実施形態におけるバスメモリ回路705についての説明を行うに先立って、理解を容易とするために、レジスタ遷移法を実現する一般的なバスメモリ回路の構成について説明する。レジスタとレジスタとから図4に示すように構成されるメモリセルが図2に示したトレリスに配置されてなるバスメモリ回路の構成を図5に示す。図5中ではメモリセルをMSと表記した。かかる構成において、ACS回路702から出力されるバス選択情報に基づいてレジスタの内容を遷移させることにより、各メモリセルのレジスタ内に、各ステートからの生き残りバスに対応する情報が保存される。従って、図2に示したトレリスを前提とした復号、すなわち、4個のステートを有し、拘束長=3、打ち切り長=4の場合のレジスタ遷移法による復号が実現される。

【0020】このような一般的なバスメモリ回路においては、ターミネートされた畳み込み符号を連続して受信する際に厳密な最尤復号を行うことができないという問題がある。以下、かかる問題について説明する。畳み込み符号の符号化を終結させるために、情報ビットが全て入力された後に、（拘束長-1）個の0を符号器に入力する方法が知られている（図6参照）。このように所定の時点において符号器のステートをオール0にすることをターミネートと呼び、符号化を開始してからターミ

ートが終了するまでの時刻数をターミネート長と呼ぶ。
 【0021】ターミネートされた畳み込み符号をビタビ復号する場合には、オール0のステートからバスを遡って復号することによって最尤バスを得ることができる。但し、実際のビタビ復号装置では、ターミネートされた畳み込み符号を連続して受信する場合には、通常の動作によって復号を行うことが多い。

【0022】しかし、このような復号方法においては、ターミネートされた畳み込み符号に続いて次の畳み込み符号が連続して入力された時に、厳密な最尤復号ができない場合がある。このような場合について以下に説明する。図7に示すような、拘束長=3の畳み込み符号器を使用する場合において、符号をターミネートさせた後に、引続き次の符号化を行う場合を考える。この場合のトレリスの一例を図8Aに示す。図8Aでは、ターミネート区間に後続する符号を、オール0のステートからバスを遡って復号することによって最尤バスを得る場合に、トレースされるトレリスを示している。

【0023】そして、正しいバスがオール0のバス(図8BにおけるPr)であった場合を考える。この場合に、ターミネートを考慮せずに復号を行うと、図8Bに示すような誤りバスPeが復号されるおそれがある。この誤りバスPeは、オール0のバスPrとのハミング距離が6と小さため、誤って復号結果とされる確率が比較的高いためである。

【0024】この誤りバスPeを誤って復号したとすると、ターミネートを行っている区間の復号ビットを無視しても、伝送情報に係る情報ビットに1ビットの誤りを含むことになる。本来のターミネートされたトレリス上にはこのバスは存在しないので、ターミネート区間を考慮して厳密な最尤復号を行うならば、このような復号誤りは起こらないものである。

【0025】以上の事情に鑑み、ターミネート区間を考慮して厳密な最尤復号を行うようにした、この発明の第1の実施形態におけるバスメモリ回路705の構成を図9に示す。バスメモリ回路705は、各ステート対応して配置された打ち切り長分のメモリセルの列に加えて、レジスタ列102を備え、コントロール回路101がターミネート情報に基づいてこのレジスタ列102を制御するようになされている。

【0026】すなわち、ステート00に対応するレジスタ列内の1段目、2段目、3段目および4段目の各セクタの出力がそれぞれ、レジスタ列102内のレジスタ1021、およびセクタ1022、1024および1026に入力される。また、セクタ1022、1024、1026には、前段のレジスタ1021、1023、1025の出力がそれぞれ入力される。そして、セクタ1022、1024、1026は、コントロール回路101の指令に従って、入力されるデータの内の一方を後段のレジスタに出力する。

【0027】各ステート毎の生き残りバスに対応する復号は、ACS回路702から入力される各ステート毎バス選択情報に従って遷移させることによってレジスタ内に記憶される。受信語がターミネートされるまでの間においては、最終段の出力の内、最尤ステートの出を選ぶことによって最尤バスに対応する情報を選択し復号データを出力する。この期間には、コントロール路からレジスタ列102に例えば'1'が出力されて、レジスタ列102にもステート0に対応する復号語が記される。

【0028】一方、受信語がターミネートされた時には、コントロール回路101からレジスタ列102へ信号を例えば'0'に切り替えて、レジスタ列102内記憶された情報をそのまま遷移させる。そして、最終の選択回路103でレジスタ列102の出力をそのまま復号語として出力する。このような動作により、ターミネートにステート00に到達するバスを復号することができる。

【0029】また、レジスタ102の内容が出力されている期間に、その他の4個のレジスタ列は、後続の畳み込み符号に対応する通常の遷移を改めて開始し、レジスタ列102の内容が全て出力されると同時に通常の復動作に戻し、コントロール回路101からの信号を'0'に切り替える。以上のように、この発明の第1の実施形態においては、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するバスを復号することができる。これによってターミネートされた符号をも、密に最尤復号することが可能となり、復号誤り率を改善することができる。

【0030】次に、この発明の第1の実施形態とは異なる構成を有するバスメモリ回路805を用いた、この発明の第2の実施形態について説明する。図10に、この発明の第2の実施形態におけるこのバスメモリ回路805の構成を図示する。バスメモリ回路805は、拘束=3、打ち切り長=4の復号を行うに際し、受信語がターミネートされたものであっても厳密な最尤復号を行機能を有するものである。

【0031】バスメモリ回路805は、各ステート対応して配置された打ち切り長分のメモリセルの列において、ステート00に対応するレジスタ列203内の各メモリセルのセクタに入力される信号を、コントロール回路によって制御するようにしたものである。すなわち、セクタ204、205、206および207を分け、これらのセクタにはバス選択情報と'0'が入力されるようになされる。そして、セクタ204~207はコントロール回路201に指令に従って、バス選択情報と'0'の内の一方をレジスタ列203内の各メモリのセクタにコントロール信号として入力する。

【0032】このような構成により、次のような動作

実現される。すなわち、受信語がターミネートされるまでの間はステート00のレジスタ列203に対するコントロール信号としてバス選択情報を与えて通常のレジスタ遷移を行う。そして、最終段の出力の内、最尤ステートの出力を選ぶことによって最尤バスに対応する情報を選択し、復号データを出力する。一方、受信語がターミネートされた時、そのクロックでは、ステート00のレジスタ列203に対するコントロール信号としてセクタ204~207が'0'を与えるように制御し、そのクロックでの記憶内容をそのまま遷移させる。

【0033】次のクロックでは、1段目のメモリセルのセクタにはセクタ204がバス選択情報を与え、また、2段目以降のメモリセルのセクタにはセクタ205~207が'0'を与える。さらに次のクロックでは、2段目までのメモリセルのセクタにはセクタ204、205がバス選択情報を与え、また、3段目以降のメモリセルのセクタにはセクタ206、207が'0'を与える。以下、打ち切り長分、順にコントロール信号を切り替えていき、ターミネート時にステート00のレジスタ列に記憶してあった復号語の出力が完了するまでは、最終段の選択回路202でステート00からの出力を復号データとして出力する。

【0034】また、ステート00のレジスタ列に記憶されていた復号語の出力が終わるまでの期間、続いて入力される畳み込み符号に対して、バスメモリが通常の動作を行っているので、ターミネートされた符号の復号が終わると同時に通常の復号に戻すことができる。

【0035】以上のように、この発明の第2の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するバスを復号することができる。

【0036】上述したこの発明の第1の実施形態およびこの発明の第2の実施形態は、レジスタ遷移法を前提とするものである。ところで、ターミネートされた畳み込み符号が連続して入力される場合に生じ得る復号誤りは、トレースバック法による復号を行うビタビ復号装置においても同様に問題とされる。そこで、トレースバック法においてかかる問題点を解決する、この発明の第3の実施形態について説明する。但し、理解を容易とするために、従来から用いられている一般的なトレースバック法について先ず説明する。

【0037】トレースバック法におけるトレースの原理的な動作を拘束長=3の場合を例として説明する。図11において、ステート01からトレースする場合を考える。ステート01への遷移の可能性があるステートは、ステート00とステート10である。ここでバスメモリには、ステート00側のバスを選んであった時には0、ステート10側のバスを選んであった時には1（すなわち前ステートの最上位ビット）が記憶してある。

【0038】また、何れのステートから遷移する場合、も入力1であり、これはステート01の最下位ビットで表現されている。以上により、トレースの動作は次のように行えば良い。図12に示すように、トレースを開始するトレース開始ステートの最下位ビットを復号ビットとし、トレース開始ステートに後続してトレースする。次トレースステートの番号は、トレース開始ステートの最上位ビットから下位2ビット目までに、バスメモリのビットを新たに最上位ビットとして付け加えることで生成する。このような動作によって、最小ステートメモリックをとるステートから、選択されたバスを選ぶことができる。

【0039】ところで、ビタビ復号装置を高速に動作させるためには、RAMはクロック毎に一回しかアクセスできない。各RAMに対して1回のアクセスで復号を行うために、シングルポートのメモリを4つ備えたバスメモリ回路を使用する場合について説明する。以下の説明においては、符号の拘束長=3、打ち切り長=4を前提とする。この場合に使用されるバスメモリ回路は、ステート数分のビット数（この例では4ビット）と、打ち切り長分のワード数（この例では4ワード）を持つシングルポートのRAMを4つ備えたバスメモリ回路である。

【0040】ACS回路702からバスメモリ回路へは、ステート数分のバス選択情報が毎クロック入力される。4つのRAMは、以下の(1)~(4)の4つの分割を打ち切り長分のクロック（ここでは4クロック）毎に順次切り替える（図13参照）。また、このようなオペレーションに基づく4個の各RAMの動作の一例を図14に示す。

【0041】(1) バス選択情報を順次書き込む。

【0042】(2) 書き込まれたバス選択情報に基づいて順次トレースする。復号は行わない。

【0043】(3) アクセス無し。

【0044】(4) (2)でのトレース結果から順次トレースを行って復号ビットを出力する。

【0045】このようなバスメモリ回路の構成およびオペレーションによって、トレースバック法による復号が実現される。

【0046】以上のようなトレースバック法を行うビタビ復号装置において、畳み込み符号のターミネートに付する上述の問題点を解決する、この発明の第3の実施形態について説明する。図15に、この発明の第3の実施形態におけるバスメモリ回路905の構成を示す。バスメモリ回路905は、拘束長=3、ターミネート長=1の符号に対して打ち切り長=ターミネート長/4=4の復号を行う場合に、4ビット、4ワードのシングルポートのRAMを4個用いることでトレースバック法による復号を行うバスメモリ回路である。ここで、バス選択情報のRAMへの書き込みの開始時点は、符号化の開始時点と合わせておくものとする。

【0047】RAM30、31、32、33はコントロール回路301で生成されるコントロール信号s303に従って、ACS回路から入力されるバス選択情報s302の書き込みと、記憶したバス選択情報の読み出しを行って、読出バス選択情報s304、s305、s306、s307をコントロール回路301に入力する。受信語がターミネートされるまでの間のメモリのオペレーションは、従来から行われているのと同様に、以下の役割を切り替えて行う。

【0048】(1) バス選択情報を順次書き込む。

【0049】(2) 書き込まれたバス選択情報に基づいて順次トレースする。復号は行わない。

【0050】(3) アクセス無し。

【0051】(4) (2)でのトレース結果から順次トレースを行って復号ビットを出力する。

【0052】一方、ターミネートされた区間を復号する際には、(4)の役割を担うRAMが(2)でのトレース結果ではなく、ステート00からトレースを開始するようにして、復号を行う。このため、コントロール回路301がターミネート信号s301に従って各RAMの動作を切り替えるようになされている。ここで、符号化の開始時点とRAMの書き込みの開始時点を合わせてあること、および打ち切り長がターミネート長の1/4の関係にあることにより、ターミネート終了のタイミングは、トレース開始のタイミングと一致する。また、ターミネートされた区間の復号を行っている間も、次の区間の復号のための(2)の部分のトレースが行われているので、ターミネートされた符号の復号が終わると同時に、通常の復号の動作に戻ることができる。

【0053】(4)でトレースによって復号された信号s308は、出力バッファ302に入力され、本来の時系列順に並べ換えられた後に復号ビット信号s309として出力される。以上のように、この発明の第3の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するバスを復号することができる。

【0054】上述したこの発明の第1、第2および第3の実施形態は、バスメモリ回路においてターミネートに係る問題点を解決するようにしたものである。これに対して、ステートメトリック記憶回路においてターミネートに係る問題点を解決するようにした、この発明の第4の実施形態について以下に説明する。この発明の第4の実施形態についても、全体的な構成は、上述したこの発明の第1の実施形態等と同様である。この発明の第4の実施形態におけるステートメトリック記憶回路1004の構成を図15に示す。ステートメトリック記憶回路1004は、拘束長=3の符号を復号する際に4ビットのブランチメトリックと、5ビットのステートメトリックを設定した場合のステートメトリックの記憶回路であ

る。

【0055】そして、各ステート00、01、10および11に到達するバスのステートメトリックを記憶する4個のレジスタの前段には、セクタ401、402、403および404が設けられている。各セクタには、正規化回路から正規化されたステートメトリック値が入力される。また、ステート00に対応するレジスタ401には値0がさらに入力され、他のステートに対応するセクタ402~404には値31(5ビット表現される最大値)がさらに入力される。そして、セクタ401~404にはターミネート情報が入力され、各セクタは、このターミネート情報に基づいてステートメトリックと、値0または31の内の一方を出力する。ACS回路702内でステートメトリックがオーバーフローを起こさないように、値31でクリッピング行われている。

【0056】ステートメトリック記憶回路1004において、受信語がターミネートされるまでの期間は、セクタ401~404がステートメトリックの値を後段の各レジスタに出力する。これにより、順次ステートメトリックを更新して打ち切り長以前の復号データを出力するという、通常の復号がなされる。一方、受信語がターミネートされた時には、各セクタがステートメトリックの値以外の値を後段の各レジスタに出力する。

【0057】従って、ステート00のステートメトリックが0に、その他のステートのステートメトリックが1に初期化される。ここで、1クロックの間のブランチメトリックが4ビットであることにより、図17に示すように、期間P51およびP52における各ブランチメトリックの値はいずれも15(4ビットで表現される最大値)以下なので、新しい畳み込み符号が始まってから2クロックの間(すなわち、期間P51およびP52を経過後)にステート00を起点とするバスに対するメトリックは30以下となる。このため、ステート00からのバスが必ず選択されることになる。

【0058】以後の動作を通常の復号時と同様に行い、打ち切り長分遡って復号を行っても、ターミネートを行った時刻の復号は必ずステート00を通過するバスのうちから最尤のものが選ばれることになる。以上のように、この発明の第4の実施形態においても、ターミネートされた畳み込み符号が連続して入力される場合にも、復号の動作を連続したままターミネートするステートに到達するバスを復号することができる。

【0059】上述したこの発明の第1の実施形態等においては、拘束長=3、打ち切り長=4の場合について説明したが、この発明は、拘束長および打ち切り長が任意の値をとる場合に適用することができる。

【0060】

【発明の効果】上述したように、この発明は、受信語のターミネート区間を考慮してビタビ復号を行うようにし

たものである。このため、ターミネートされた畳み込み符号に対して最尤復号をすることが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態の全体的な構成について説明するためのブロック図である。

【図2】拘束長=3の場合の遷移ダイアグラムについて説明するためのブロック図である。

【図3】従来から使用されている一般的な装置におけるステートメトリック記憶回路について説明するためのブロック図である。

【図4】レジスタ遷移法におけるバスメモリのメモリセルについて説明するための略線図である。

【図5】レジスタ遷移法におけるバスメモリ中のメモリセルの配置について説明するための略線図である。

【図6】ターミネートについて説明するための略線図である。

【図7】拘束長=3の畳み込み符号器の一例を示す略線図である。

【図8】ターミネート時のトレリスと、従来から使用されているビタビ復号装置における復号誤りについて説明するための略線図である。

【図9】この発明の第1の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図10】この発明の第2の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図11】トレースバック法におけるトレースの原理について説明するための略線図である。

【図12】トレースバック法におけるトレースの方法について説明するための略線図である。

【図13】従来から使用されている一般的なトレースバック法における各RAMの役割について説明するための略線図である。

10 【図14】従来から使用されている一般的なトレースバック法におけるメモリオペレーションについて説明するためのブロック図である。

【図15】この発明の第3の実施形態におけるバスメモリ回路について説明するためのブロック図である。

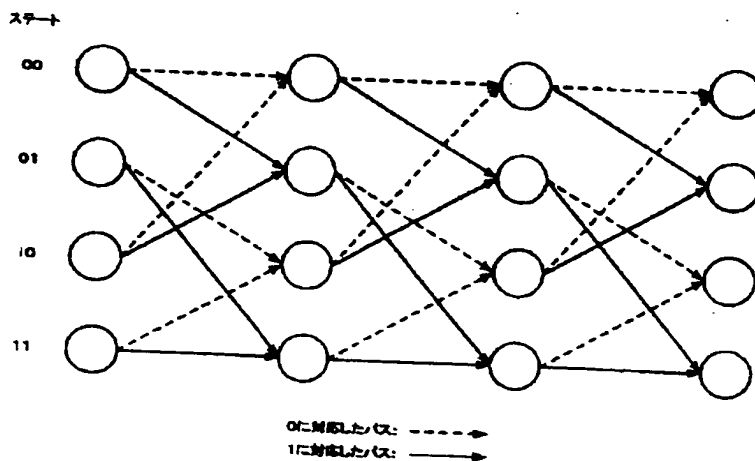
【図16】この発明の第4の実施形態におけるバスメモリ回路について説明するためのブロック図である。

【図17】ステート00からのバスに対するメトリックについて説明するための略線図である。

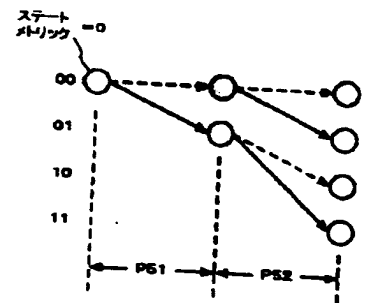
【符号の説明】

705・・・バスメモリ回路、101・・・コントロール回路、805・・・バスメモリ回路、905・・・バスメモリ回路、1004・・・ステートメトリック記憶回路

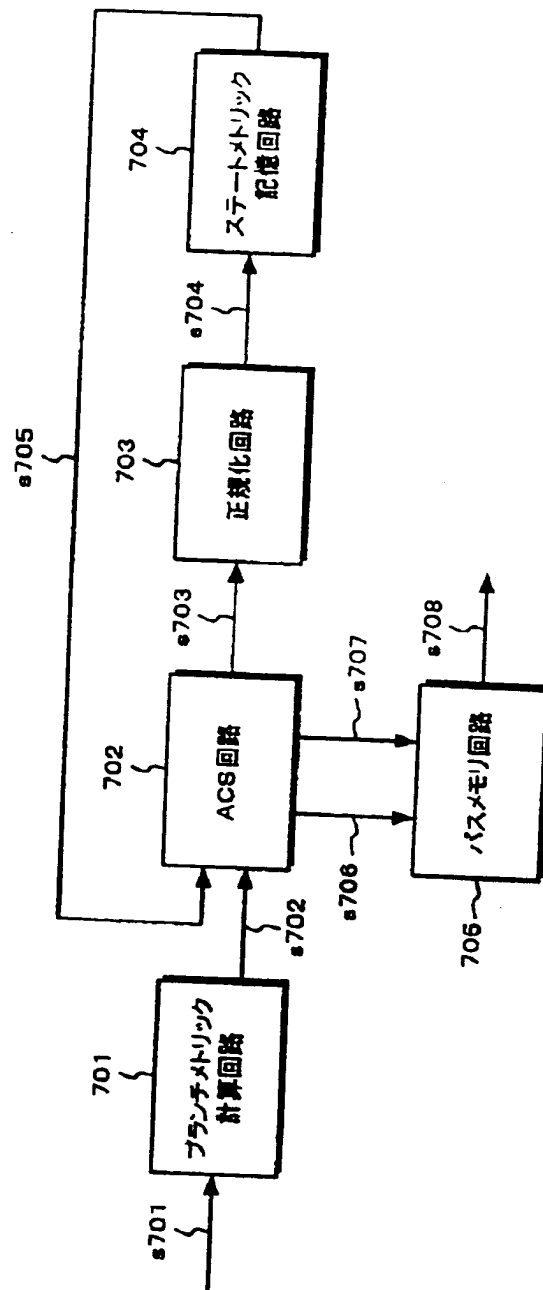
【図2】



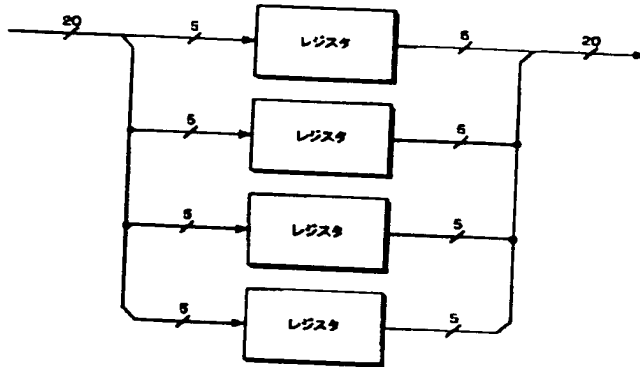
【図17】



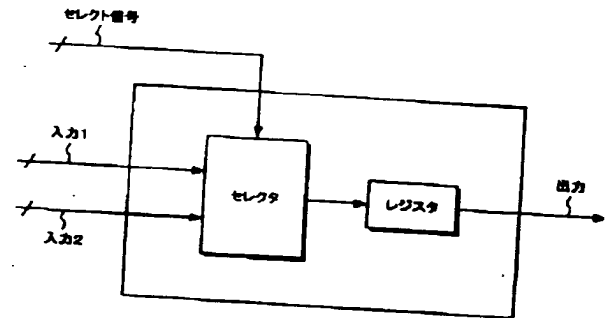
【図1】



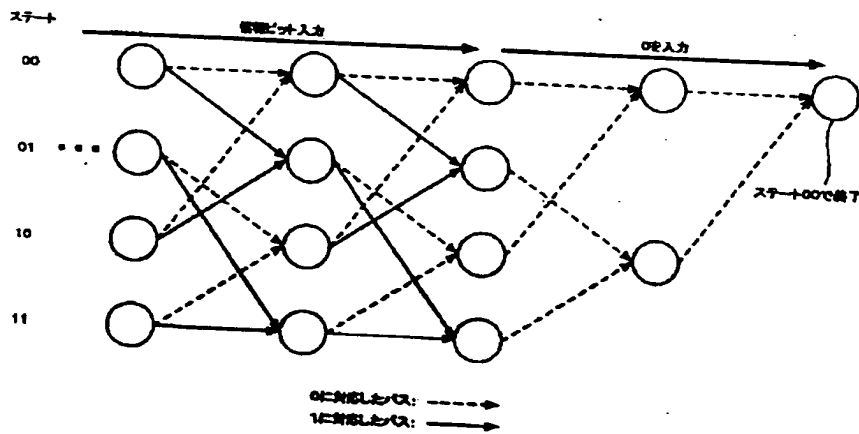
【図 3】



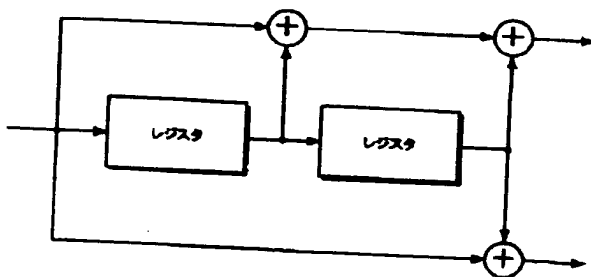
【図 4】



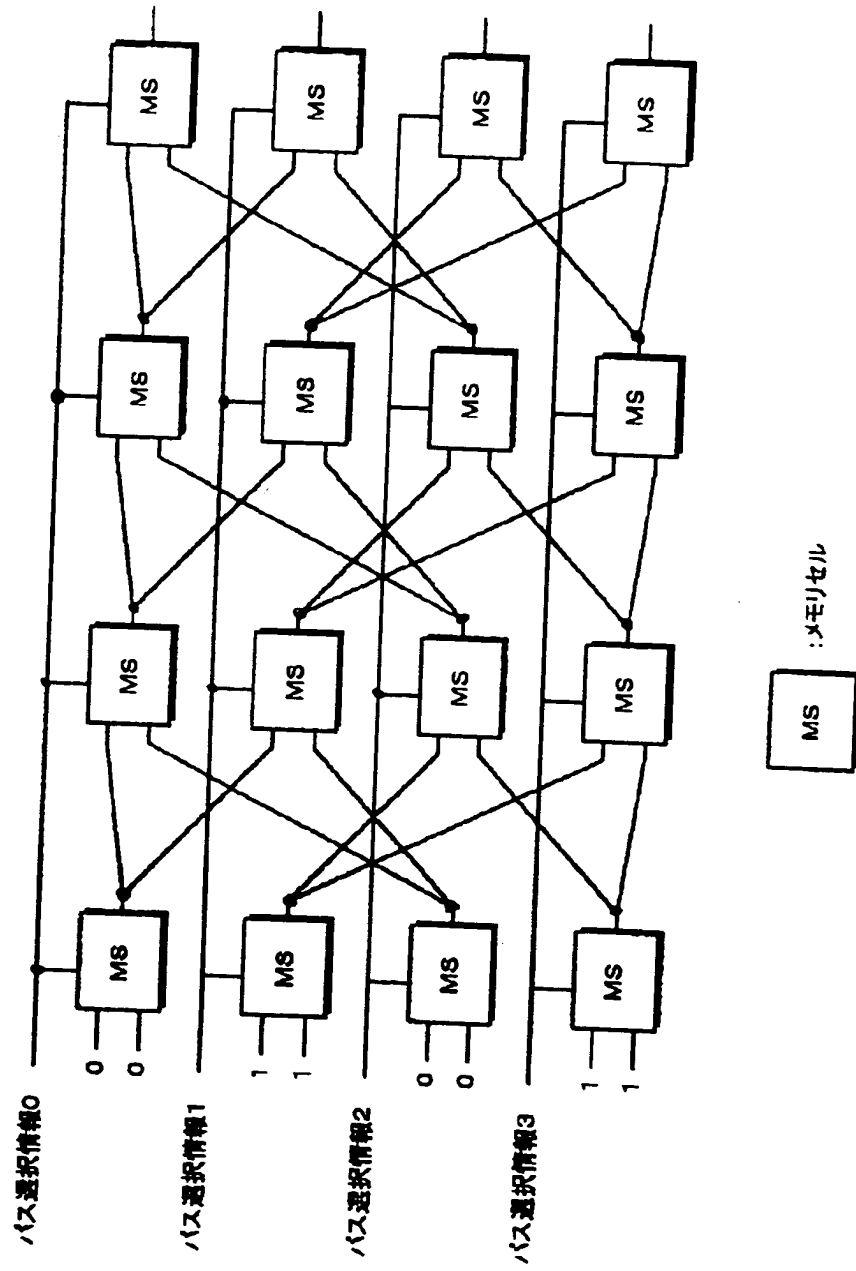
【図 6】



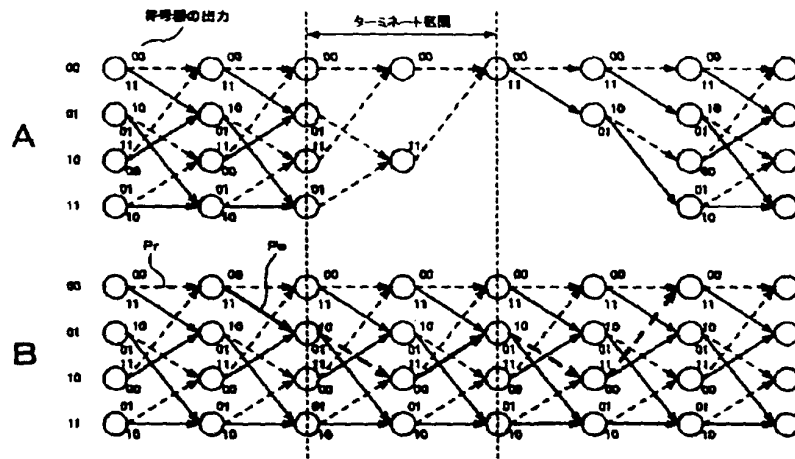
【図 7】



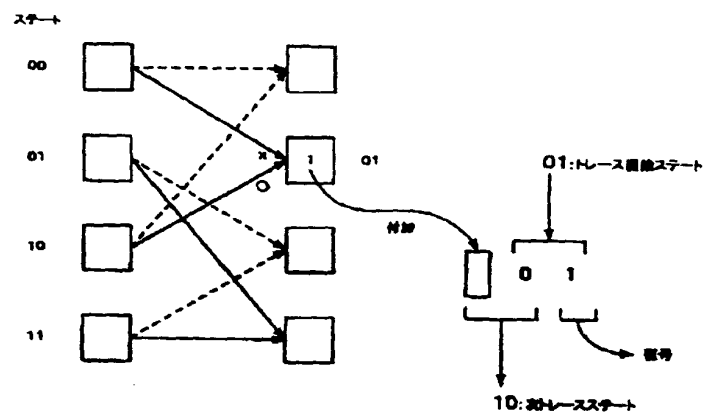
【図5】



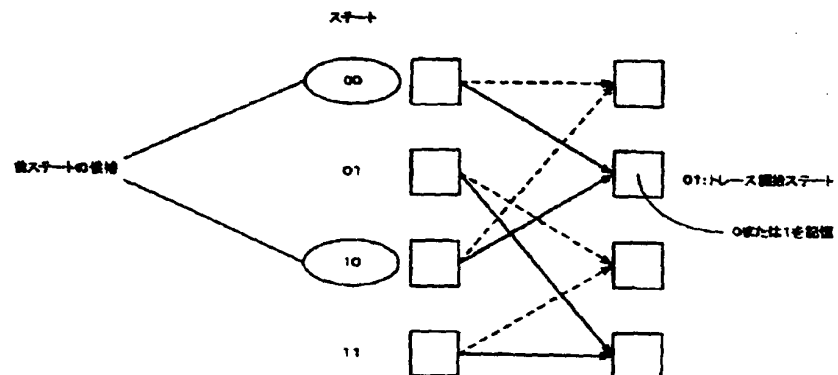
【図8】



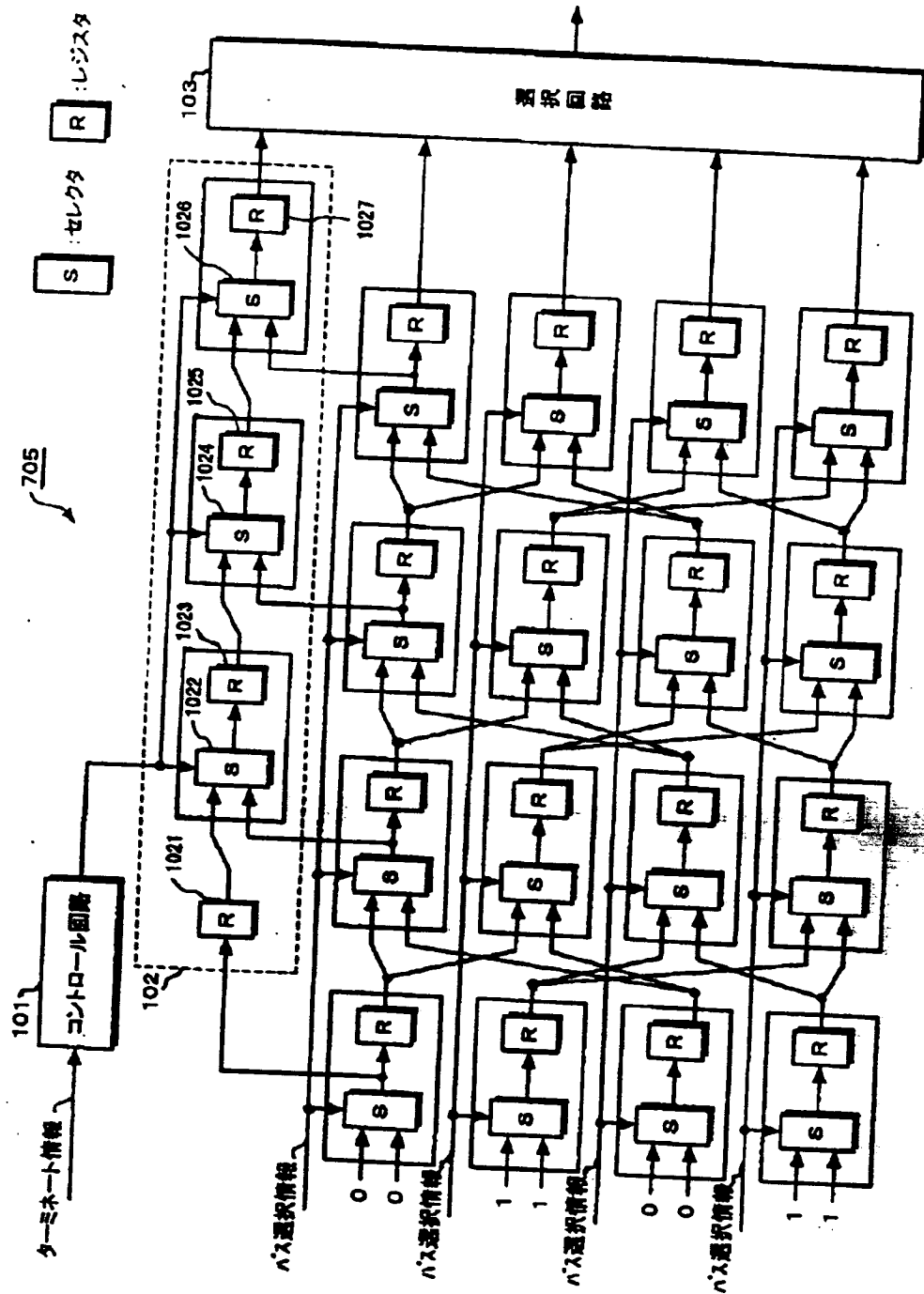
【図11】



【図12】

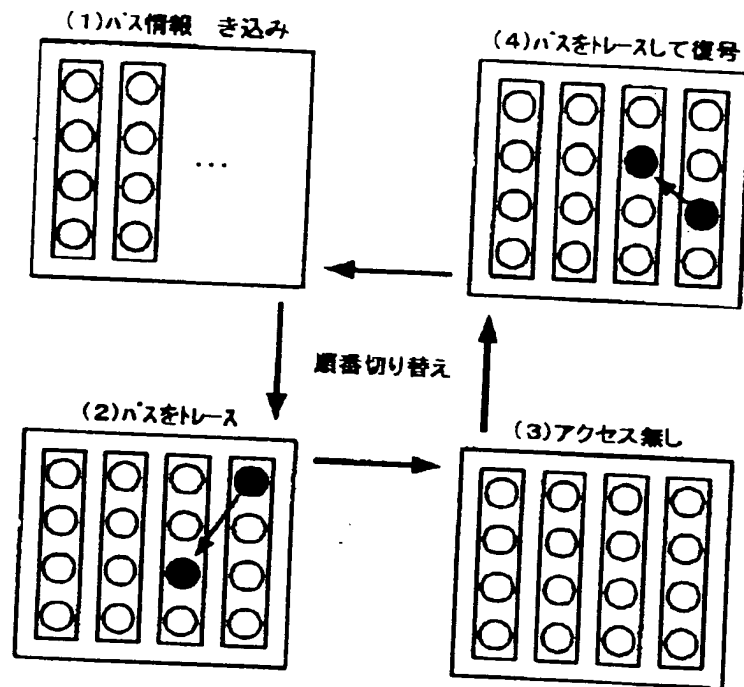


【図9】

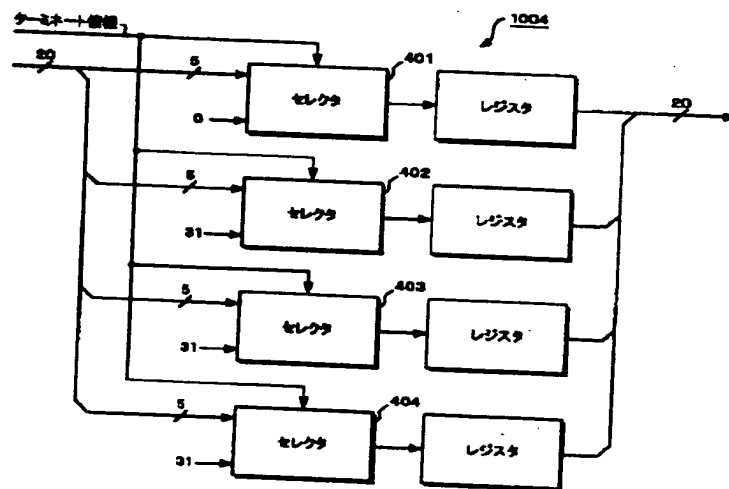


The diagram illustrates a control circuit (201) for a multi-channel system. It includes a "コントロール回路" (Control Circuit) which receives "チャンネル情報" (Channel Information). The circuit is composed of several stages of logic elements, labeled S (Selector) and R (Register), connected by lines representing data paths. A dashed box encloses a portion of the circuit, specifically the first stage of each channel's processing unit. The output of the control circuit is connected to a large block labeled "選択回路" (Selection Circuit), which is further connected to a bus or output line at the top.

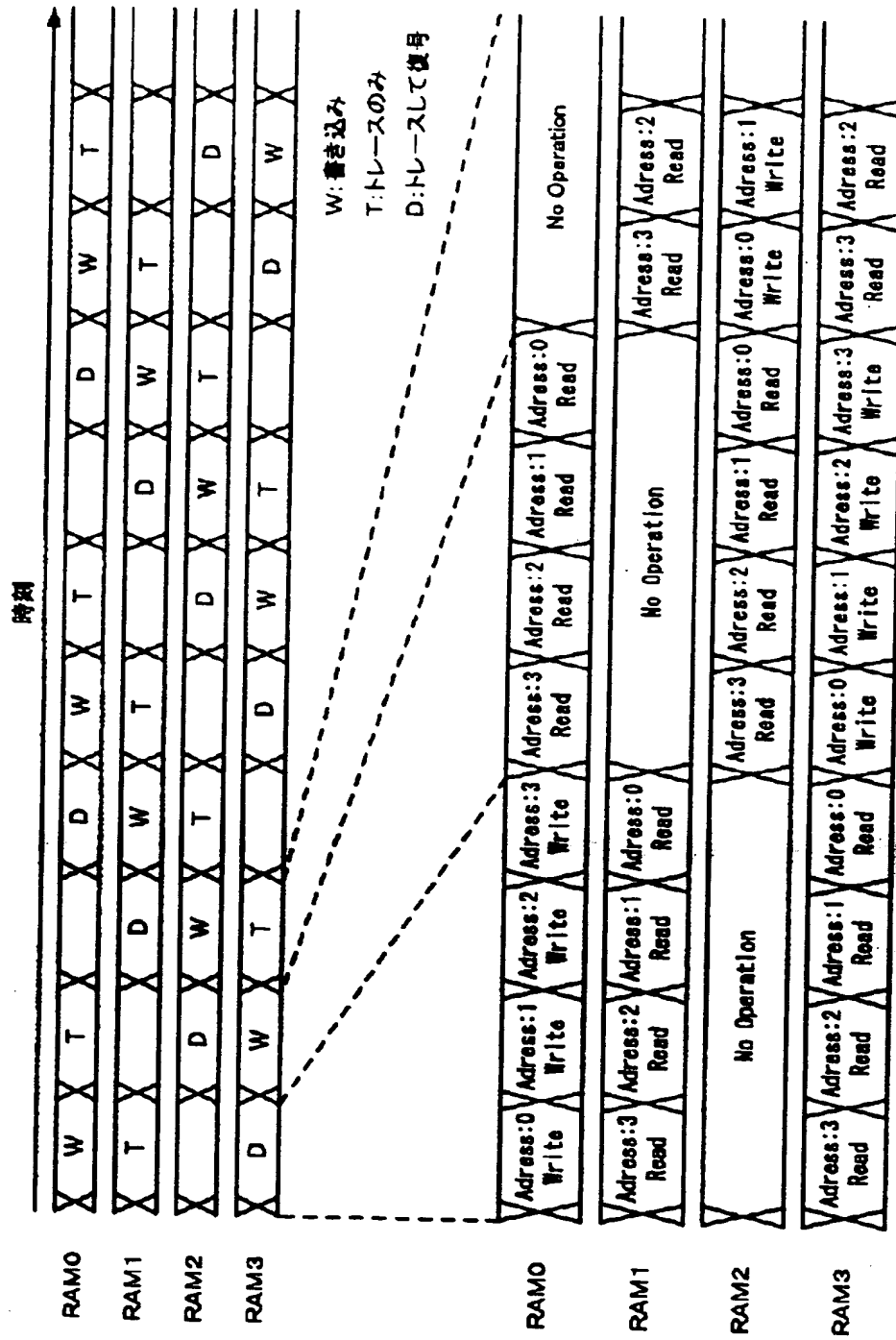
【図13】



【図16】



【図14】



【図15】

